

JP10-56776A, 1998
filed on August 9, 1996
laid-open on February 24, 1998

5 (54) **【Title of the Invention】** DC-DC Converter
(57) **【Abstract】** (Corrected)
【Problems to be solved】 To provide a DC-DC converter which can completely drive a switching element, even when an input voltage is lowered.

10 10 **【Means to solve the Problems】** There is provided between the drain and source of Q1 a boot strap circuit 2 which comprises a diode DB and condenser CB which are connected at a connecting point A. Further, an FET driving circuit 3 is connected between the connecting point
15 15 A and the gate of Q1. Further, the output of Q1 is connected with the smoothing circuit 1 comprising a diode D1, coil L1 and output condenser Co and is connected with a voltage dividing resistance 4 comprising resistances R1 and R2 for detecting the output voltage. Further, error
20 20 amplifying circuit 5 and control circuit 6 are connected between the FET driving circuit 3 and a connecting point of R1 and R2. The control circuit 6 is connected also with the input voltage detecting circuit 11 (frequency varying circuit).

資料 2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-56776

(43)公開日 平成10年(1998)2月24日

(51) Int.Cl. [*] H 02 M 3/155 H 02 J 1/00	識別記号 3 0 6	府内整理番号 F I H 02 M 3/155 H 02 J 1/00	技術表示箇所 P 3 0 6 C
--	---------------	--	------------------------

審査請求 未請求 請求項の数1 O L (全 6 頁)

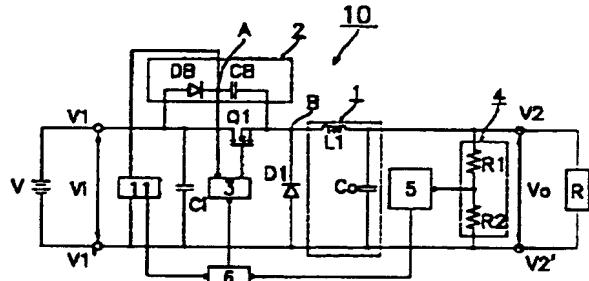
(21)出願番号 特願平8-211328	(71)出願人 000008231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22)出願日 平成8年(1996)8月9日	(72)発明者 森島 靖之 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内 (72)発明者 田子 政成 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54)【発明の名称】 DC-DCコンバータ

(57)【要約】 (修正有)

【課題】 入力電圧が下がり、出力電流が小さくなつても、スイッチ素子を完全に駆動することができるDC-DCコンバータを提供する。

【解決手段】 N-MOSFET Q1のドレインとソースとの間には、ブーストストラップ回路2が接続され、ブーストストラップ回路2を構成するダイオードDBとコンデンサCBとの接続点AとN-MOSFET Q1のゲートとの間には、FETドライブ回路3が接続されている。また、N-MOSFET Q1の出力側には、ダイオードD1、コイルL1と出力コンデンサC0からなる平滑回路1及び抵抗R1、R2からなる出力電圧検出用分圧抵抗4が接続されている。さらに、出力電圧検出用分圧抵抗4を構成する抵抗R1とR2の接続点と、FETドライブ回路3の間には、誤差増幅回路5及びパルス幅変調回路6が接続され、パルス幅変調回路6は周波数可変回路11とも接続されている。



【特許請求の範囲】

【請求項1】 スイッチ素子と、ダイオード及びコンデンサからなるブートストラップ回路と、パルス幅変調回路と、FETドライブ回路と、誤差増幅器とを備え、出力電圧と基準電圧とを前記誤差増幅器で比較、増幅して前記パルス幅変調回路及び前記FETドライブ回路を介して前記スイッチ素子のパルス幅変調を制御する他励降圧型のDC-DCコンバータにおいて、

前記ブートストラップ回路に発生した電圧に比例して、前記スイッチ素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC-DCコンバータに関し、特に、スイッチ素子、ブートストラップ回路、パルス幅変調回路、FETドライブ回路及び誤差増幅器を備える他励降圧型のDC-DCコンバータに関する。

【0002】

【従来の技術】 図3に、従来の他励降圧型のDC-DCコンバータ50の基本回路図を示す。図3において、入力端子V1、V1' と出力端子V2、V2'との間に、入力コンデンサCi、スイッチ素子、例えばNチャネルMOS-FET(以下、N-MOSFET)Q1、ダイオードD1、平滑回路1が挿入されている。また、入力端子V1、V1'間に、電源Vが、出力端子V2、V2'間に、出力負荷抵抗Rが接続されている。さらに、N-MOSFETQ1のドレインとソースとの間に、N-MOSFETQ1がオフしたときに、入力電圧Viと、N-MOSFETQ1とダイオードD1との接続点Bの電圧との差をダイオードDBを介してコンデンサCBに充電する回路、いわゆるブートストラップ回路2が接続され、ブートストラップ回路2のダイオードDBとコンデンサCBとの接続点AとN-MOSFETQ1のゲートとの間に、FETドライブ回路3が接続されている。従って、FETドライブ回路3は、N-MOSFETQ1をオンさせるゲート電圧を、ブートストラップ回路2を構成するダイオードDBとコンデンサCBとの接続点Aから得る。

【0003】 また、N-MOSFETQ1のソース側には、ダイオードD1、平滑回路1及び出力電圧検出用分圧抵抗4が接続されている。このうち、平滑回路1はコイルL1と出力コンデンサC0からなり、出力電圧検出用分圧抵抗4は抵抗R1と抵抗R2の直列回路からなる。さらに、抵抗R1と抵抗R2の接続点と、FETドライブ回路3の間には、誤差増幅回路5及びパルス幅変調回路6が接続されている。

【0004】 以上のように構成されたDC-DCコンバータ50では、出力電圧検出用分圧抵抗4の抵抗R1と抵抗R2で分圧され、出力電圧V0に比例する電圧が、誤差増幅回路5によって、基準電圧と比較される。そして、出力電流I0が増加し、出力電圧V0に比例する電圧が基準電圧より低くなるときは、パルス幅変調回路6及びFETドライブ回路3を介してN-MOSFETQ1のスイッチング時間当たりのオン時間割合であるオンデューティDを大きくして、出力側に伝達するエネルギーを増やし、出力電圧V0を上昇させる。一方、出力電流I0が減少し、出力電圧V0に比例する電圧が基準電圧より高くなるときは、パルス幅変調回路6及びFETドライブ回路3を介してN-MOSFETQ1のオンデューティDを小さくして、出力電圧V0を低下させる。以上の動作を繰り返して出力電圧V0を安定化させる。

【0005】 一般的に、DC-DCコンバータ50の動作は、平滑回路1のコイルL1に流れるインダクタ電流ILの状態で、電流連続モードと電流不連続モードの2つに大別される。ここで、電流連続モードの動作及び電流不連続モードの動作について、図を用いて、もう少し詳しく説明する。図4(a)～図4(d)、図5(a)～図5(d)及び図6(a)～図6(d)に、平滑回路1のコイルL1に流れるインダクタ電流ILの波形、N-MOSFETQ1とダイオードD1との接続点Bの電圧VBの波形、ブートストラップ回路2のダイオードDBとコンデンサCBとの接続点Aの電圧VAの波形、N-MOSFETQ1のゲート・ソース間電圧VGSの波形を示す。図4(a)～図4(d)は電流連続モードの場合、図5(a)～図5(d)は電流不連続モードの場合、図6(a)～図6(d)は無負荷状態に近い電流不連続モードの場合である。

【0006】 図4(a)～図4(b)から明らかなように、インダクタ電流ILが大きくなる電流連続モードの場合には、オンデューティD(=Ton/T)は、

$$D = V0 / Vi n$$
の関係が成立する。

【0007】 一方、図5(a)～図5(b)及び図6(a)～図6(b)から明らかなように、インダクタ電流ILが小さくなる電流不連続モードの場合には、N-MOSFETQ1がオフしている時間Tonffは、ダイオードD1が導通してコイルL1にインダクタ電流ILが流れている時間Tonff1と、N-MOSFETQ1及びダイオードD1がオフしてコイルL1にインダクタ電流ILが流れていない時間Tonff2に分けられ、N-MOSFETQ1のオンデューティD及びオフデューティD1は、それぞれ次式で表される。

【0008】

【数1】

$$D = \sqrt{\frac{KM^2}{1-M}} \quad \dots \quad (1)$$

$$D_1 = \sqrt{K(1-M)} \quad \dots \quad (2)$$

ここで、

$$K = \frac{2L}{RT_s} \quad , \quad M = \frac{V_o}{V_{in}}$$

L : コイルL1のインダクタンス

R : 出力負荷抵抗

T_s : スイッチ素子Q1の

オン時間T_{on} + オフ時間T_{off}

V_{in} : 入力電圧

V_o : 出力電圧

【0009】これらの式から、出力電流I_oが小さくなる、すなわち(1)式及び(2)式のRが大きくなるにともない、オンデューティDとオフデューティD₁は小さくなる。また、入力電圧V_{in}が小さくなる、すなわち(2)式のMが1に近づくにともない、オフデューティD₁は小さくなる。

【0010】

【発明が解決しようとする課題】ところが、上記の従来のDC-DCコンバータでは、入力電圧が下がり、出力電流が著しく小さくなり、無負荷状態に近い電流不連続モードになると、オンデューティDとオフデューティD₁は小さくなる。従って、ブーストアップ回路による充電電圧が低下し、スイッチ素子への駆動電圧が低下するため、スイッチ素子が動作しなくなるという問題があった。

【0011】このことを図を用いて説明する。図4(b)に示すように、電流連続モードの場合には、ダイオードD₁にも十分な電流が流れるため、N-MOSFETQ1がオフ時の接続点Aの電圧はほぼグランドレベル(0V)となっているが、図6(b)に示すように、出力電流が著しく小さく、無負荷状態に近い電流不連続モードの場合には、ダイオードD₁に流れる電流が少なくなるため、接続点Bの電圧V_Bはグランドレベルまで落ちず、V_dの電圧をもつ。すると、図6(c)に示すように、接続点Aの電圧が徐々に下がる。そのため、図6(d)に示すように、N-MOSFETQ1のゲート・ソース間電圧も低くなる。そして、このゲート・ソース間電圧が下がって、N-MOSFETQ1をオンする

ためのしきい値電圧V_{th}を下回った場合、N-MOSFETQ1をオンすることができなくなる。

【0012】本発明は、このような問題点を解決するためになされたものであり、入力電圧が下がり、出力電流が小さくなても、スイッチ素子を完全に駆動することができるDC-DCコンバータを提供することを目的とする。

【0013】

【課題を解決するための手段】上述する問題点を解決するため本発明は、スイッチ素子と、ダイオード及びコンデンサからなるブーストアップ回路と、パルス幅変調回路と、FETドライブ回路と、誤差増幅器とを備え、出力電圧と基準電圧とを前記誤差増幅器で比較、増幅して前記パルス幅変調回路及び前記FETドライブ回路を介して前記スイッチ素子のパルス幅変調を制御する他励降圧型のDC-DCコンバータにおいて、前記ブーストアップ回路に発生した電圧に比例して、前記スイッチ素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とする。

【0014】本発明のDC-DCコンバータによれば、ブーストアップ回路中の接続点Aの電圧、すなわちブーストアップ電圧が低いときは、スイッチング周波数を強制的に下げるため、スイッチ素子のオンデューティD及びオフデューティD₁が一定であっても、T_s(=T_{on}+T_{off1}+T_{off2})を長くすることにより、T_{on}(=D₁·T_s)、T_{off1}(=D₁·T_s)の時間は長くすることができる。従って、ブーストアップ回路の充電電圧は大きくなるため、ブースト

ラップ電圧が低くなってしまっても、確実に、スイッチ素子を動作させることができる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。なお、各実施例中において、従来例と同一もしくは同等の部分には同一番号を付し、その詳細な説明は省略する。

【0016】図1に、本発明のDC-DCコンバータの基本回路図を示す。DC-DCコンバータ10は、従来のDC-DCコンバータ50とほぼ同様の構成をしているが、ブートストラップ回路2を構成するダイオードD BとコンデンサC Bとの接続点Aと入力端子V 1'との間に、周波数可変回路11、例えばブートストラップ電圧検出回路が接続されている点で異なる。この際、周波数可変回路11はパルス幅変調回路6とも接続されている。

【0017】図2に、本発明に係るDC-DCコンバータの一実施例の回路図を示す。周波数可変回路11は、ダイオードD 2、ツエナーダイオードZ D、抵抗R 3～R 8、コンデンサC 1～C 3、スイッチ素子Q 2及びオシレータOSCからなる。そして、ダイオードD 2、ツエナーダイオードZ D、抵抗R 3、R 4が、ダイオードDBとコンデンサC Bとの接続点Aと入力端子V 1'との間に直列に接続され、抵抗R 3、R 4の接続点は、抵抗R 5、スイッチ素子Q 2、抵抗R 6及びオシレータOSCを介してパルス幅変調回路6に接続されている。また、ダイオードD 2とツエナーダイオードZ Dとの接続点Cは、コンデンサC 1を介して接地されている。

【0018】さらに、スイッチ素子Q 2のコレクタは抵抗R 6、ベースは抵抗R 5にそれぞれ接続され、スイッチ素子Q 2のエミッタは抵抗R 7を介してグランドに接続されている。また、スイッチ素子Q 2のベースと抵抗R 5の接続点とグランドとの間には、コンデンサC 2が接続され、オシレータOSCと抵抗R 6の接続点とグランドとの間には、抵抗R 8が接続され、オシレータOSCとグランドとの間には、コンデンサC 3が接続されている。

【0019】次に、上述の構成のDC-DCコンバータ10の動作説明をする。ブートストラップ回路中の接続点Aの電圧VA、すなわちブートストラップ電圧が低い場合には、抵抗R 8とコンデンサC 3で決定されるスイッチング周波数でオシレータOSCが発振し、スイッチング周波数がパルス幅変調回路6に伝達され、そのスイッチング周波数でN-MOSFET Q 1がオン、オフを繰り返すことにより、エネルギーがコイルL 1に蓄えられ、出力電圧V oを伝えることができる。

【0020】この際、スイッチング周波数は、 $T_s (= T_{on} + T_{off} 1 + T_{off} 2)$ を長くすることにより、ブートストラップ回路の充電電圧を大きくし、ブートストラップ電圧が低くなってしまっても、確実に、スイッチ素

子が動作するように、強制的に下げられる。

【0021】一方、ブートストラップ電圧VAが高くなり、ブートストラップ回路中の接続点Cの電圧VCがツエナーダイオードZ Dのツエナーバイア電圧V zを超えると、スイッチ素子Q 2のベースにベース電圧V b = R 2・

$(V_C - V_z) / (R_3 + R_4)$ が印加され、徐々にスイッチ素子Q 2がオン状態になってくる。そして、ベース電圧V bがスイッチ素子Q 2をオン状態にするに十分な電圧になったときに、オシレータOSCは抵抗(R 6 + R 7)と抵抗R 8の合成抵抗(R 6 + R 7)・R 8 / (R 6 + R 7 + R 8)とコンデンサC 1で決定されるスイッチング周波数で発振し、スイッチング周波数がパルス幅変調回路6に伝達され、そのスイッチング周波数でN-MOSFET Q 1がオン、オフを繰り返すことにより、エネルギーがコイルL 1に蓄えられ、出力電圧V oを伝えることができる。

【0022】上述したように、本発明の一実施例であるDC-DCコンバータ10によれば、ブートストラップ電圧VAの大きさに比例して、周波数可変回路11でスイッチング周波数が決定される。すなわち入力電圧V iが下がり出力電流I oが小さくなつて、ブートストラップ電圧VAが下がると、N-MOSFET Q 1のスイッチング周波数を低くすることにより、N-MOSFET Q 1を完全に駆動することができる。従つて、入力電圧V iの高低や出力電流I oの大小に關係なく、安定した出力電圧V oを得ることができる。

【0023】また、DC-DCコンバータの変換効率を下げることなく、簡単に回路が構成できる。

【0024】なお、上述の実施例における回路は、一例であり、ブートストラップ電圧が下がるにともないスイッチ素子のスイッチング周波数を下げることができる周波数可変回路であればよい。

【0025】また、FETドライブ回路、誤差増幅回路、パルス幅変調回路及びオシレータを1つの制御IC内に集積してもよい。この場合には、DC-DCコンバータを実装するプリント基板を小形にできる。その結果、DC-DCコンバータを搭載する電子機器等の小型化が可能となる。

【0026】

【発明の効果】本発明のDC-DCコンバータによれば、ブートストラップ電圧の大きさに比例して、周波数可変回路でスイッチング周波数が決定される。すなわち入力電圧が下がり、出力電流が小さくなつて、ブートストラップ電圧が下がるとともに、スイッチ素子のスイッチング周波数を低くすることにより、スイッチ素子を完全に駆動することができる。従つて、入力電圧の高低や出力電流の大小に關係なく、安定した出力電圧を得ることができる。

【0027】また、DC-DCコンバータの変換効率(出力電力/入力電力)を下げることなく、簡単に回路

が構成できる。

【図面の簡単な説明】

【図1】本発明のDC-DCコンバータの基本回路図である。

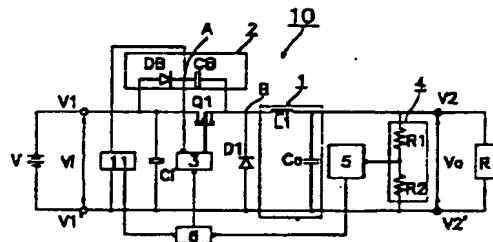
【図2】本発明のDC-DCコンバータに係る一実施例の回路図である。

【図3】従来のDC-DCコンバータの基本回路図である。

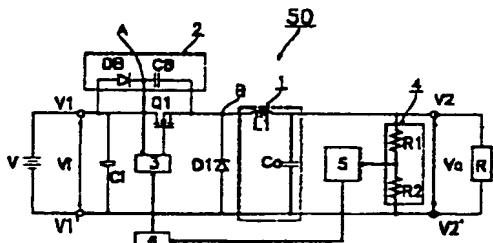
【図4】図3のDC-DCコンバータの電流連続モードの場合を説明するための(a)インダクタ電流ILの波形図、(b)接続点Bの電圧VBの波形因、(c)接続点Aの電圧VAの波形図、及び、スイッチ素子のゲート・ソース間電圧VGSの波形図である。

【図5】図3のDC-DCコンバータの電流不連続モードの場合を説明するための(a)インダクタ電流ILの波形図、(b)接続点Bの電圧VBの波形図、(c)接続点Aの電圧VAの波形図、及び、スイッチ素子のゲート・ソース間電圧VGSの波形図である。

【図1】



【図3】

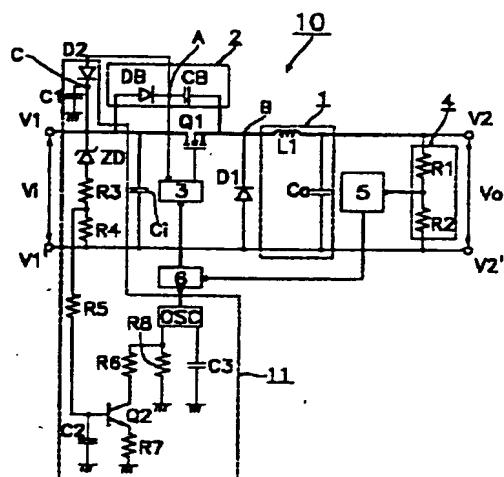


【図6】図3のDC-DCコンバータの無負荷状態に近い電流不連続モードの場合を説明するための(a)インダクタ電流ILの波形図、(b)接続点Bの電圧VBの波形図、(c)接続点Aの電圧VAの波形図、及び、スイッチ素子のゲート・ソース間電圧VGSの波形図である。

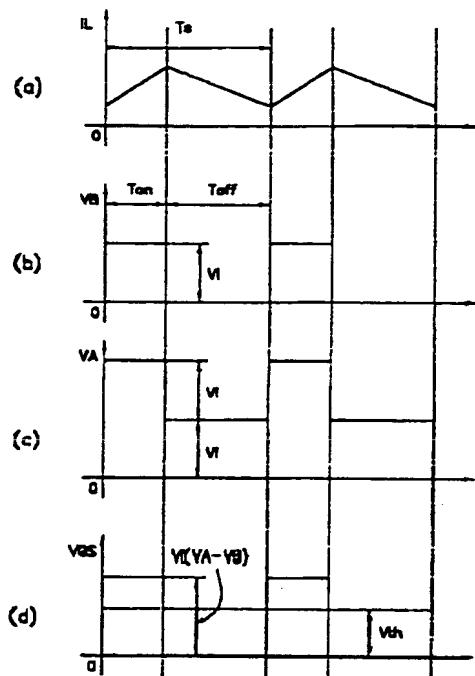
【符号の説明】

1 0	DC-DCコンバータ
2	ブートストラップ回路
3	FETドライブ回路
5	誤差増幅器
6	パルス幅変調回路
1 1	周波数可変回路 (ブートストラップ電圧検出回路)
CB	コンデンサ
DB	ダイオード
Q 1	スイッチ素子 (N-MOSFET)

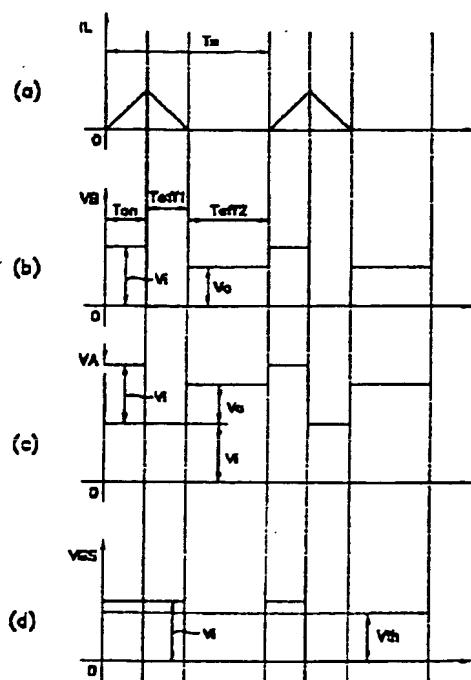
【図2】



【図4】



【図5】



【図6】

